

10/585476

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/AT05/000010

International filing date: 21 January 2005 (21.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: AT  
Number: A 85/2004  
Filing date: 23 January 2004 (23.01.2004)

Date of receipt at the International Bureau: 14 February 2005 (14.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**BEST AVAILABLE COPY**



PCT/AT 2005/000010

**ÖSTERREICHISCHES PATENTAMT**

A-1200 Wien, Dresdner Straße 87

Kanzleigeühr € 17,00  
Schriftengeühr € 65,00

Aktenzeichen A 85/2004

Das Österreichische Patentamt bestätigt, dass

**die Firma AT & S AUSTRIA TECHNOLOGIE &  
SYSTEMTECHNIK AKTIENGESELLSCHAFT  
in A-8700 Leoben-Hinterberg, Fabriksgasse 13  
(Steiermark),**

am **23. Jänner 2004** eine Patentanmeldung betreffend

**"Verfahren zum Herstellen eines Leiterplattenelements sowie  
Leiterplattenelement",**

überreicht hat und dass die beigeheftete Beschreibung samt Zeichnungen mit der ursprünglichen, zugleich mit dieser Patentanmeldung überreichten Beschreibung samt Zeichnungen übereinstimmt.

Es wurde beantragt, Dipl.-Ing. Wolfgang BAUER in Graz (Steiermark) und Dipl.-Ing. Johannes STAHR in Bruck an der Mur (Steiermark), als Erfinder zu nennen.

Österreichisches Patentamt

Wien, am 27. Jänner 2005

Der Präsident:

i. A.



**HRNCIR**  
Fachoberinspektor

A0085/2004

# Unifont

R 42620

(51) Int. Cl.:

AT PATENTSCHRIFT

(11) Nr.

**(73) Patentinhaber:**

**AT & S AUSTRIA TECHNOLOGIE &  
SYSTEMTECHNIK AKTIENGESELLSCHAFT**  
Leoben-Hinterberg (AT)

(54) Titel:

## Verfahren zum Herstellen eines Leiterplattelements sowie Leiterplattelement

(61) Zusatz zu Patent Nr.

(66) Umwandlung von GM /

(62) gesonderte Anmeldung aus (Teilung): A

**(30) Priorität(en):**

(72) Erfinder: BAUER, Wolfgang, Dipl.-Ing.  
Graz (AT)

**STAHR, Johannes, Dipl.-Ing.**  
**Bruck an der Mur (AT)**

(22) (21) Anmeldetag, Aktenzeichen: 23. JAN. 2004, A /

(60) Abhängigkeit:

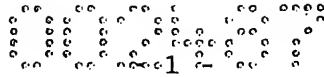
(42) Beginn der Patentdauer:

**Längste mögliche Dauer:**

(45) **Ausgabetag:**

(56) Entgegenhaltungen, die für die Beurteilung der Patentierbarkeit in Betracht gezogen wurden:

 $\frac{1}{2}$



Die Erfindung betrifft ein Verfahren zum Herstellen eines Leiterplattelementes, bei dem ausgehend von einem Leiterplatten-Substrat mit zumindest einer Leiterlage, vorzugsweise zwei Leiterlagen, diese bzw. zumindest eine Leiterlage strukturiert und darauf Edelmetall aufgebracht wird.

Weiters bezieht sich die Erfindung auf ein Leiterplattelement mit zumindest einer, vorzugsweise zwei strukturierten Leiterlage(n) auf einem Substrat, und mit Edelmetall auf der bzw. zumindest einer Leiterlage.

Unter „Leiterplattelement“ ist hier eine einseitige oder doppelseitige Leiterplatte ebenso wie eine Multilayer-Leiterplatte, jeweils bestückt mit Bauelementen oder noch ohne Bestückung, zu verstehen, wobei primär wesentlich ist, dass ein Substrat, üblicherweise aus einer Epoxid-Harzschicht, mit zumindest einer darauf aufgetragenen metallischen, elektrisch leitenden Lage, in der Regel aus Kupfer, vorliegt. Die metallische Lage wird hier als „Leiterlage“ bezeichnet. Diese Leiterlage kann eine Außenlage oder aber - im Fall eines Multilayers - eine Innenlage sein.

Es ist bereits vorgeschlagen worden, lokal an Stellen, wo elektrische Bauelemente anzubringen sind, eine Edelmetallschicht, insbesondere aus Silber, auf der Kupfer-Leiterlage anzubringen. Dies geschieht vor allem dort, wo in einem Druckverfahren PTF-Bauelemente (PTF-Polymer Thick Film-polymerer Dickfilm) aufgebracht werden, wobei es sich hierbei insbesondere um PTF-Widerstände handelt. Die Edelmetallschicht zwischen dem Kupfer der Leiterlage und der PTF-Paste der Bauelemente verbessert die Stabilität der Schaltung, die sonst beispielsweise unter Feuchteinfluss beeinträchtigt wird; die Edelmetallschicht bildet insofern eine „Sperrschicht“, als sie bei Feuchteinfluss eine Korrosion von Kupfer, etwa beim Aushärten der PTF-Paste, vermeiden hilft. Andererseits verbessert sie den elektrischen Kontakt zwischen dem Kupfer der Leiterlage und der PTF-Paste.

Von Nachteil ist hier jedoch, dass die Edelmetallschicht nur an örtlich sehr begrenzten Stellen aufgebracht werden darf, nämlich genau dort, wo das Bedrucken mit der PTF-Paste erfolgen soll; würde man nämlich die Edelmetallschicht vollflächig auf der Kupfer-Leiterlage aufbringen, so würde die Haftung vom darüber anzubringenden Schichten stark beeinträchtigt werden. Beispielsweise wäre im Fall einer Verpressung zum Multilayer die

notwendige interlaminaire Haftung zu einer darüber angebrachten Leiterplatten-Struktur nicht mehr gegeben, und es käme beim Bestücken eines solchen Leiterplattenelements zu einer Delamination und damit zu einem Totalausfall des Leiterplattenelements. Sofern die Leiterlage eine Außenlage ist, d.h. eine Epoxidharz/Leiterlagen-Struktur nicht mehr aufgebracht wird, ist es üblicherweise für das Bestücken mit Bauelementen notwendig, auf der Außenlage eine Lötstopmaske herzustellen, und im Fall eine Edelmetallschicht würde auch eine derartige Lötstopmaske nur schlecht haften. Aus diesen Gründen wird wie erwähnt das Edelmetall nur örtlich stark begrenzt aufgebracht, und die übrige Kupfer-Leiterlagenoberfläche wird bei der weiteren Bearbeitung des Leiterplattenelements mit einer gesonderten Haftvermittlerschicht bedeckt, um so entweder das Anbringen einer Lötstopmaske oder aber das Verpressen zum Multilayer zu begünstigen.

Für die bloß partielle Anbringung des Edelmetalls in örtlich begrenzten Bereichen der Leiterlage sind jedoch eigene Prozessschritte erforderlich, nämlich die Anbringung einer Maskierungsschicht und das Entfernen der Maskierungsschicht; nichtsdestoweniger kommt es im Bereich der Edelmetalloberfläche immer wieder zum Abheben von darauf befindlichen Materialien und somit zu Ausfällen.

Es ist nun Aufgabe der Erfindung, ein Verfahren zum Herstellen eines Leiterplattenelements bzw. ein Leiterplattenelement wie eingangs angeführt anzugeben, wobei im Zuge der Herstellung der Aufwand und die Kosten für die Prozessschritte der Maskierung und der Demaskierung erübrigt werden können, so dass eine wesentlich vereinfachte Herstellung erzielt wird, und wobei nichtsdestoweniger eine ausgezeichnete Haftung der einzelnen Schichten aneinander ermöglicht wird, und dies ohne dass eine eigene (zusätzliche) Haftvermittlerschicht auf der Leiterlage notwendig ist.

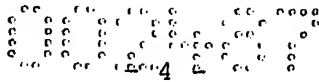
Zur Lösung dieser Aufgabe sieht die Erfindung ein Verfahren bzw. ein Leiterplattenelement wie in den unabhängigen Ansprüchen angegeben vor.

Vorteilhafte Ausführungsformen und Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

Bei der erfindungsgemäßen Technik bildet die Edelmetallschicht selbst eine Haftvermittlerschicht, auf der nachfolgende

Schichten, wie etwa eine weitere Leiterplattenstruktur oder aber eine Lötstopmaske, gut haftend angebracht werden können. Auch das Material von durch Aufdrucken erzeugten PTF-Bauelementen, insbesondere PTF-Widerständen, aber auch Lötmaterial oder Adhäsivmaterial im Falle einer Klebefestigung von vorgefertigten Bauelementen, haftet auf der Edelmetallschicht ausgezeichnet. Diese gute Haftung der verschiedenen Materialien wird dadurch erreicht, dass anstatt einer glatten Edelmetall-Oberfläche eine raue Oberfläche der Edelmetallschicht vorliegt. Diese Oberflächenrauheit wird bereits in der unter der Edelmetallschicht liegenden Leiterlage, üblicherweise aus Kupfer, erzeugt, wobei die Oberflächenrauheit in einer Größenordnung herbeigeführt wird, die zumindest in der Größenordnung der Dicke der Edelmetallschicht, bevorzugt um eine Größenordnung größer vorgesehen wird. Dadurch bleibt diese Oberflächenrauheit der Leiterlage auch beim nachfolgenden Anbringen der Edelmetallschicht erhalten. Insbesondere kann die Oberflächenrauheit der Leiterlage im Bereich von  $0,05\text{ }\mu\text{m}$  bis  $5\text{ }\mu\text{m}$ , insbesondere  $0,3\text{ }\mu\text{m}$  bis  $3\text{ }\mu\text{m}$ , vorzugsweise  $0,5\text{ }\mu\text{m}$  bis  $1\text{ }\mu\text{m}$ , liegen, und die Dicke der Edelmetallschicht beträgt bevorzugt  $0,02\text{ }\mu\text{m}$  bis  $1\text{ }\mu\text{m}$ , vorzugsweise  $0,02\text{ }\mu\text{m}$  bis  $0,5\text{ }\mu\text{m}$ . Die Oberfläche der Leiterlage kann beispielsweise durch chemisches Ätzen, durch mechanisches Bearbeiten oder galvanisch aufgeraut werden. Die Edelmetallschicht wird dann auf dieser aufgerauten Leiterlage beispielsweise stromlos oder aber galvanisch, durch Aufdampfen oder durch Sputtern aufgebracht. Als Edelmetall kann dabei mit Vorteil Silber, Gold, Palladium, Nickel oder eine Kombination von einzelnen dieser Metalle oder aller dieser Metalle verwendet werden. Nach der Anbringung dieser vergleichsweise dünnen Edelmetallschicht auf der gesamten Oberfläche der Leiterlage (anstatt wie früher nur lokal in kleinen Teilbereichen), wobei die Rauheit der Oberfläche erhalten bleibt, können elektrische Bauelemente, wie insbesondere PTF-Widerstände etc., durch Aufdrucken, aufgebracht werden, und es kann dann ein Verpressen zu einem Multilayer erfolgen oder aber eine Lötstopmaske aufgebracht werden, um so in einem automatischen Lötvorgang vorgefertigte elektrische Bauelemente anbringen zu können.

Eine beispielhafte Herstellung gemäß der erfindungsgemäßen Technik sieht die folgenden grundlegenden Schritte vor:



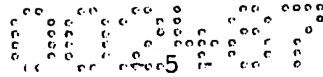
- a) Strukturieren der Kupfer-Leiterlage (üblicherweise in einem photolithographischen Prozess durch Ätzen).
- b) Aufrauen der Oberfläche der Leiterlage
- c) Aufbringen der Edelmetallschicht
- d) Aufbringen der Bauelemente (PTF-Widerstände)
- e) Verpressen zum Multilayer.

Dem gegenüber sind beim herkömmlichen Standardprozess folgende prinzipiellen Schritte notwendig:

- a) Strukturieren der Leiterlage
- b') Aufbringen eines gesonderten Haftvermittlers auf der Leiterlage (üblicherweise unter Anwendung eines Oxidationsprozesses und mit Hilfe von organischen Komponenten)
- c') Aufbringen und Strukturieren einer Photo-Resistschicht
- c'') Partielles Aufbringen der Edelmetallschicht
- c''') Entfernen der Photo-Resistschicht
- d) Aufbringen der Bauelemente
- e) Verpressen zum Multilayer

Wie sich hieraus unmittelbar ersehen lässt, werden bei der erfindungsgemäßen Technik kostenintensive Schritte eingespart, wenn gemäß der Erfindung vorgegangen wird; überdies werden die Eigenschaften der Leiterplattelemente verbessert.

Die Erfindung wird nachstehend anhand von bevorzugten Ausführungsbeispielen und unter Bezugnahme auf die Zeichnung noch weiter erläutert. In der Zeichnung zeigen im Einzelnen: Fig. 1 eine schematische Draufsicht auf ein Leiterplattelement mit lokalen Edelmetallaufträgen auf einer Kupferlage gemäß Stand der Technik; Fig. 2 im größeren Maßstab einen schematischen Schnitt



durch ein Teil dieser Leiterplattelemente, gemäß der Linie II-II und Fig. 1; Fig. 3 eine der Darstellung in Fig. 1 entsprechende schematische Draufsicht auf ein Leiterplattelement gemäß der Erfindung; und Fig. 4 einen Querschnitt durch dieses Leiterplattelement ähnlich der Darstellung in Fig. 2, wobei zusätzlich eine aufzupressende Leiterplattenstruktur mit Kupfer-Außenlage sowie eine untere Leiterlage veranschaulicht sind.

In Fig. 1 ist schematisch ein Teil eines Leiterplattelements 1 in Draufsicht gezeigt, wobei der Schichtaufbau des Leiterplattelements 1 weiters beispielhaft aus Fig. 2 hervorgeht.

In Fig. 1 sind einzelne Materialien des Leiterplattelements 1, soweit sie an der Oberseite des Leiterplattelements 1 ersichtlich sind, zwecks besserer Unterscheidung schraffiert, punktiert bzw. doppelt schraffiert veranschaulicht, wobei die einfach schraffierten Bereiche ein Epoxidharz-Substrat 2 darstellen (vgl. auch Fig. 2), auf dem eine strukturierte Metalllage 3, insbesondere aus Kupfer, vorliegt, die zwecks besserer Unterscheidung punktiert veranschaulicht ist. Diese Metalllage 3 wird nachfolgend der Einfachheit halber als Leiterlage 3 bezeichnet, und durch ihre Strukturierung (durch photolithographische Techniken) sind an der Oberseite jene Bereiche ersichtlich, d.h. freigelegt, in denen das an sich darunter liegende Epoxidharz-Substrat 2, nachstehend allgemein Leiterplatten-Substrat 2 oder kurz Substrat 2 genannt, dann von der Oberseite her zu sehen ist.

Mit doppelt schraffierten Linien sind weiters elektrische Bauelemente 4 gezeigt, bei denen es sich beispielsweise um in PTF-Technik (PTF-Polymer Thick Film-polymerer Dickfilm) aufgedruckte Bauelemente, insbesondere Widerstände, handelt. Im Bereich der Enden dieser Bauelemente 4, insbesondere Widerstände, sind Anschluss- oder Kontaktflächen 5 gebildet, die aus entsprechenden Bereichen 5' (siehe Fig. 2) der Leiterlage 3 sowie weiters lokal darauf aufgebrachten Edelmetall-Auflagen 6 gebildet sind. Diese Edelmetall-Auflagen 6 sind in Fig. 1 als freie Flächen, ohne Schraffur oder dergleichen, veranschaulicht, in der Querschnittsdarstellung gemäß Fig. 2 jedoch schraffiert gezeigt.

Die Edelmetall-Auflagen 6 bestehen in herkömmlicher Weise z.B. aus einer dünnen lokalen Silberschicht, und sie bilden eine Sperrschicht oder Stabilisierungsschicht, die beim Aufbringen

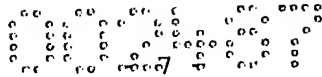


der Bauelemente 4 und deren Fixierung (Aushärtung) einen Zugang von Feuchte zur Leiterlage 3 und damit im Kontaktbereich ein Korrodieren dieser Leiterlage 3 verhindern. Überdies verbessert diese Edelmetall-Auflage 6 auch den elektrischen Kontakt zwischen dem Bauelement 4 und der Leiterlage 3.

Von Nachteil ist bei dieser bekannten Technik, dass die Edelmetall-Auflage 6 nur lokal, in eng begrenzten Bereichen, nämlich den Bereichen der Kontaktflächen 5, aufgebracht werden darf. Würde eine derartige Edelmetall-Beschichtung auf der gesamten Leiterlage 3 aufgebracht werden, so würde eine nachfolgende Beschichtung des Leiterplattelements 1 wie in Fig. 1 und 2 gezeigt, etwa mit einer weiteren Leiterplattenstruktur oder aber mit einer Lötstopmaske, nicht oder nur sehr schlecht haften, und eine relativ baldige Ablösung der aufgetragenen Schicht oder Schichten wäre die Folge.

Andererseits ist für die bloß örtliche Aufbringung der Edelmetall-Auflagen 6 ein relativ hoher Aufwand bei der Herstellung notwendig, da gesonderte Schritte zur Maskierung der Oberseite des Leiterplattelements 1 sowie zur Entfernung dieser Maskierung nach Aufbringen der Edelmetall-Auflagen 6 erforderlich sind. Überdies hat sich in der Praxis gezeigt, dass es im Bereich der Edelmetall-Auflagen 6 bei darüber angebrachten Schichten, etwa wenn das Leiterplattelement 1 wie in Fig. 1 und 2 gezeigt zu einem Multilayer verpresst wird (vgl. auch Fig. 4), zu lokalen Abhebungen dieser aufgetragenen Schicht kommt, und dass insbesondere auch ein Abheben der Materialien der Bauelement 4 (PTF-Widerstände) von den Edelmetall-Auflagen 6 zu beobachten ist.

Bei der erfindungsgemäßen Technik wird, wie aus Fig. 3 ersichtlich eine komplette Beschichtung der Leiterlage 13 auf dem Substrat 12 mit Edelmetall ermöglicht, und es liegt dann eine zur Gänze oder aber im Wesentlichen zur Gänze mit einer Edelmetallschicht 16 bedeckte Leiterlage 13 vor. Dadurch erübrigen sich die vorstehend erwähnten Maskierungs- und Demaskierungsprozesse, wie sie bei der bekannten Technik erforderlich sind. Nichtsdestoweniger wird ein ausgezeichnetes Haften von darüber angebrachten Schichten, wie beispielsweise eines Substrats 3' einer Leiterplattenstruktur 1', die eine äußere Leiterlage 3' aufweist, im Zuge des Verpressens zu einem Multilayer ermöglicht, vgl. Fig. 4, wo schematisch mit einem Pfeil 7 dieses



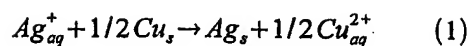
Verpressen (wobei gleichzeitig eine Erhitzung erfolgt) veranschaulicht ist. Anstatt einer solchen Leiterplattenstruktur 1', wie in Fig. 4 gezeigt, kann beispielsweise aber auch eine Lötstopmaske auf der Oberseite des Leiterplattenelements 11 gemäß Fig. 3 und 4 angebracht werden. Auch hier wird eine gute Haftung erzielt.

Um diese gute Haftung zu erreichen, wird die Leiterlage 13 an ihrer Oberfläche vor dem Aufbringen der Edelmetallschicht 16 aufgeraut, wobei die Oberflächenrauheit 8 in Fig. 4 nur ganz schematisch mit einer Wellenlinie veranschaulicht ist. Dieser Oberflächenrauheit 8 der Leiterlage 13 folgt auch die vergleichsweise dünne Edelmetallschicht 16, so dass deren Oberseite ebenfalls eine entsprechende Rauheit 8' aufweist. Durch diese Oberflächenrauheit 8' wird sodann das erwähnte gute Anhaften einer darauf angebrachten Schicht, wie etwa einer Epoxidharz-Substratschicht 2' oder einer Lötstopmaske, sichergestellt.

Den vorliegenden Leiterplattenelementen 11 können herkömmliche Leiterplattensubstrate, wie etwa FR 4-Substrat, zu Grunde liegen, bei denen wie erwähnt ein Epoxidharz-Substrat 2 sowie darauf eine Kupferlage 13 gegeben sind. Gegebenenfalls kann das Substrat 2 aber auch auf der gemäß Darstellung in Fig. 4 unteren Seite mit einer Leiterlage (Kupferlage) 13' versehen sein, und diese Leiterlage 13' kann in entsprechender Weise aufgeraut und mit einer Edelmetallschicht versehen sein. Beim aufgebrauchten Bauelement 4 handelt es sich bevorzugt um ein polymeres Dickfilm-Bauelement, insbesondere einen PTF-Widerstand, der in einem Druckverfahren aufgebracht wird. Ein solcher PTF-Widerstand besteht beispielsweise aus einem Phenolharz, in dem Kohlenstoffpartikel in der erforderlichen Konzentration, je nach Widerstandswert, eingelagert sind.

Die Edelmetallschicht 16 kann außer aus dem bereits erwähnten Silber auch aus Gold, aber auch aus Palladium, Platin oder Nickel oder dergleichen Edelmetall bestehen. Je nach den verwendeten Materialien werden auch entsprechende Aufrau- und Aufbringtechniken angewandt. Diese Techniken sind an sich bekannt und sollen daher hier nur kurz erwähnt werden.

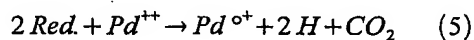
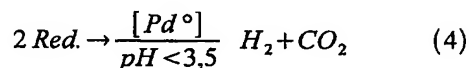
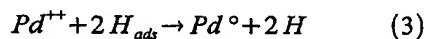
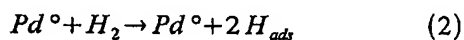
Im Fall einer Edelmetallschicht 16 aus Silber wird bevorzugt eine einfache Austauschreaktion für die Beschichtung zu Grunde gelegt, bei der Kupfer der Leiterlage 3 durch Silber der Edelmetallschicht 16 gemäß der Beziehung



ersetzt wird.

Diese Austauschreaktion läuft zufolge der Potentialdifferenz zwischen Kupfer und Silber ab, und man erhält eine sehr kompakte Silberschicht auf der Kupferlage. Insbesondere werden hierbei Silber-Schichten 16 mit einer Dicke zwischen 0,1 µm und 0,25 µm herbeigeführt (allgemein bevorzugt zwischen 0,02 µm und 0,5 µm).

Im Fall einer Beschichtung mit Palladium wird ein Wasserstoff und Palladium enthaltender Aktivator aufgebracht, wobei eine autokatalytische Reaktion eingeleitet wird:

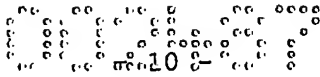


Bei einem pH von < 3,5 beginnt die Zersetzung des Reduktionsmittels, und Reaktionen finden nur in der Diffusionsschicht statt. Der frei werdende Wasserstoff sichert die Fortführung der Reaktion.

Vergleichbare chemische Beschichtungstechniken können für Nickel und Gold angewandt werden.

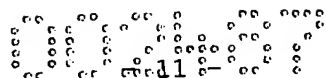
Zur Aufbringung der Edelmetallschicht 16 auf der Leiterlage 3 können jedoch auch andere an sich herkömmliche Techniken eingesetzt werden, wie etwa ein galvanisches Aufbringen des Edelmetalls auf der Leiterlage 13, ein Aufbringen des Edelmetalls durch Aufdampfen oder ein Aufbringen durch Sputtern. Die Edelmetallschicht weist wie erwähnt mit Vorteil eine Dicke zwischen





Patentansprüche:

1. Verfahren zum Herstellen eines Leiterplattenelements, bei dem ausgehend von einem Leiterplatten-Substrat mit zumindest einer Leiterlage, vorzugsweise zwei Leiterlagen, diese bzw. zumindest eine Leiterlage strukturiert und darauf Edelmetall aufgebracht wird, dadurch gekennzeichnet, dass die Leiterlage, vorzugsweise nach dem Strukturieren, an der Oberfläche aufgeraut und das Edelmetall als Schicht im Wesentlichen auf der gesamten strukturierten, aufgerauten Leiterlage aufgebracht wird, wobei die Edelmetallschicht-Oberfläche eine entsprechende Rauheit erhält.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage mit einer Rauheit im Bereich von  $0,05\text{ }\mu\text{m}$  bis  $5\text{ }\mu\text{m}$ , insbesondere  $0,3\text{ }\mu\text{m}$  bis  $3\text{ }\mu\text{m}$ , vorzugsweise  $0,5\text{ }\mu\text{m}$  bis  $1\text{ }\mu\text{m}$ , aufgeraut wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage durch chemisches Ätzen aufgeraut wird.
4. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage durch Ionenätzen aufgeraut wird.
5. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage durch mechanisches Bearbeiten aufgeraut wird.
6. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Oberfläche der Leiterlage galvanisch aufgeraut wird.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Edelmetallschicht mit einer Dicke von  $0,02\text{ }\mu\text{m}$  bis  $1\text{ }\mu\text{m}$ , vorzugsweise  $0,02\text{ }\mu\text{m}$  bis  $0,5\text{ }\mu\text{m}$ , auf der Leiterlage aufgebracht wird.
8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Edelmetallschicht chemisch-stromlos oder gal-



vanisch auf der Leiterlage aufgebracht wird.

9. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Edelmetallschicht durch Aufdampfen auf der Leiterlage aufgebracht wird.

10. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Edelmetallschicht durch Sputtern auf der Leiterlage aufgebracht wird.

11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass als Edelmetallschicht eine Schicht aus zumindest einem Metall der Gruppe, enthaltend, Silber, Gold, Palladium, Platin und Nickel, aufgebracht wird.

12. Verfahren nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass nach dem Aufbringen der Edelmetallschicht auf der aufgerauten Leiterlage zumindest ein elektrisches Bauelement, vorzugsweise ein Widerstand, insbesondere ein PTF-Widerstand, auf Bereichen der oberflächen-rauen Edelmetallschicht angebracht wird.

13. Verfahren nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, dass nach dem Aufbringen der Edelmetallschicht auf der aufgerauten Leiterlage sowie gegebenenfalls des elektrischen Bauelements auf der Oberseite des Leiterplatten-Substrats, mit der oberflächen-rauen Edelmetallschicht, eine weitere Leiterplatten-Struktur aufgebracht wird und so eine Verpressung zu einem Multilayer erfolgt.

14. Verfahren nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, dass nach dem Aufbringen der Edelmetallschicht auf der aufgerauten Leiterlage sowie gegebenenfalls des elektrischen Bauelements auf der Oberseite des Leiterplatten-Substrats, mit der oberflächen-rauen Edelmetallschicht, eine Lötstopmaske aufgebracht wird.

15. Leiterplattelement mit zumindest einer, vorzugsweise zwei strukturierten Leiterlage(n) auf einem Substrat, und mit Edelmetall auf der bzw. zumindest einer Leiterlage, dadurch gekennzeichnet,

zeichnet, dass die Leiterlage (13) eine aufgeraute Oberfläche (8) und an dieser eine oberflächen-raue Edelmetallschicht (16) als Kontaktvermittler- und Stabilisierungsschicht einerseits und als Haftvermittlerschicht andererseits aufweist.

16. Leiterplattenelement nach Anspruch 15, dadurch gekennzeichnet, dass auf der oberflächen-rauen Edelmetallschicht (16) eine weitere Leiterplattenstruktur (1'), unter Bildung einer Multilayer-Konfiguration, vorgesehen ist.

17. Leiterplattenelement nach Anspruch 15, dadurch gekennzeichnet, dass auf der oberflächen-rauen Edelmetallschicht (16) eine Lötstopmaske aufgebracht ist.

18. Leiterplattenelement nach einem der Ansprüche 15 bis 17, dadurch gekennzeichnet, dass auf der oberflächen-rauen Edelmetallschicht (16) mindestens ein elektrisches Bauelement (4), vorzugsweise ein Widerstand, insbesondere ein PTF-Widerstand, angebracht ist.

19. Leiterplattenelement nach einem der Ansprüche 15 bis 18, dadurch gekennzeichnet, dass die Leiterlage (13) bzw. die Edelmetallschicht (16) eine Oberflächenrauheit (8; 8') im Bereich von 0,05  $\mu\text{m}$  bis 5  $\mu\text{m}$ , insbesondere 0,3  $\mu\text{m}$  bis 3  $\mu\text{m}$ , vorzugsweise 0,5  $\mu\text{m}$  bis 1  $\mu\text{m}$ , aufweist.

20. Leiterplattenelement nach einem der Ansprüche 15 bis 19, dadurch gekennzeichnet, dass die Edelmetallschicht (16) eine Dicke von 0,02  $\mu\text{m}$  bis 1  $\mu\text{m}$ , vorzugsweise 0,02  $\mu\text{m}$  bis 0,5  $\mu\text{m}$ , aufweist.

21. Leiterplattenelement nach einem der Ansprüche 15 bis 20, dadurch gekennzeichnet, dass die Edelmetallschicht (16) zumindest ein Metall aus der Gruppe, bestehend aus Silber, Gold, Palladium, Platin und Nickel, aufweist.

(Fig. 4)



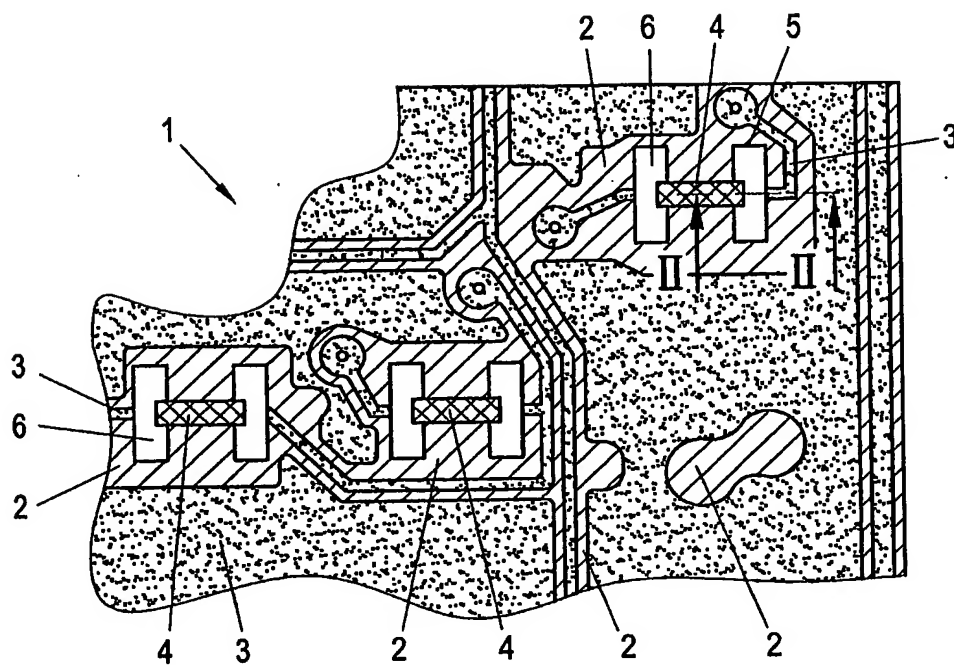


FIG. 1

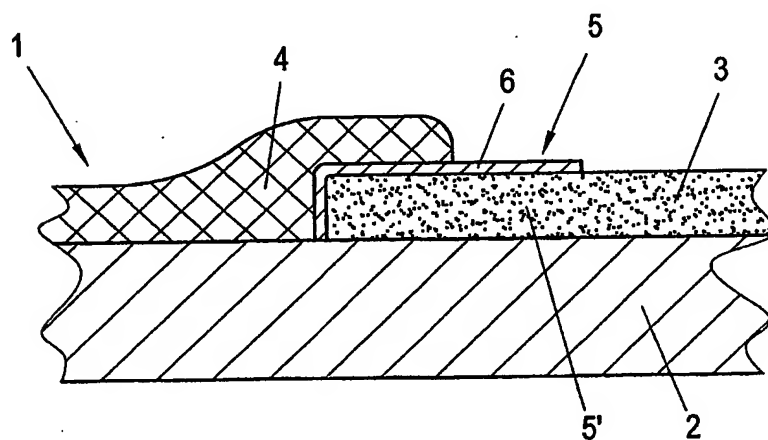


FIG. 2

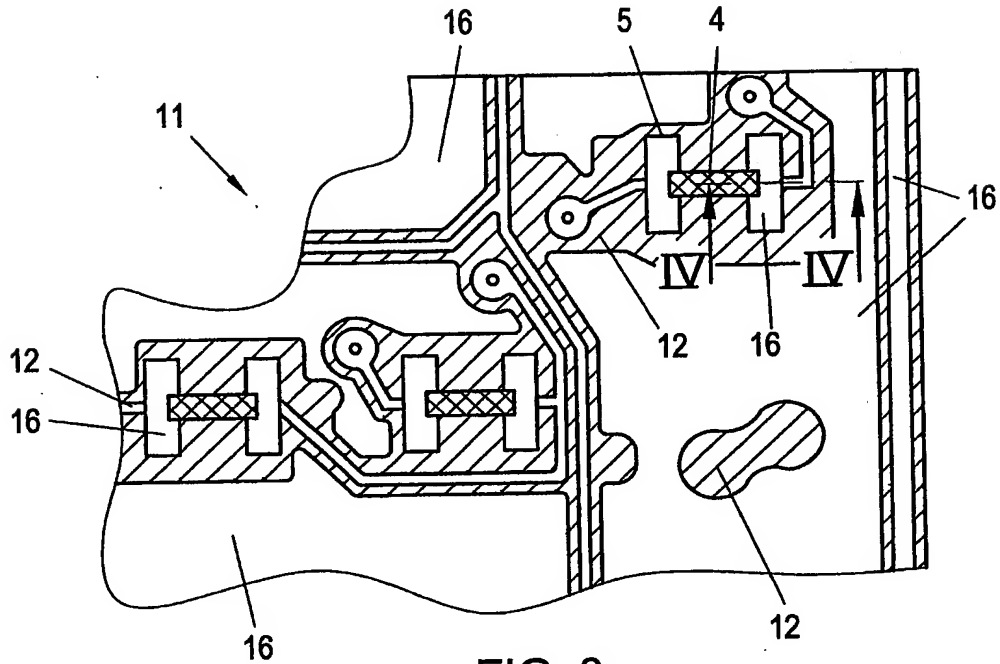


FIG. 3

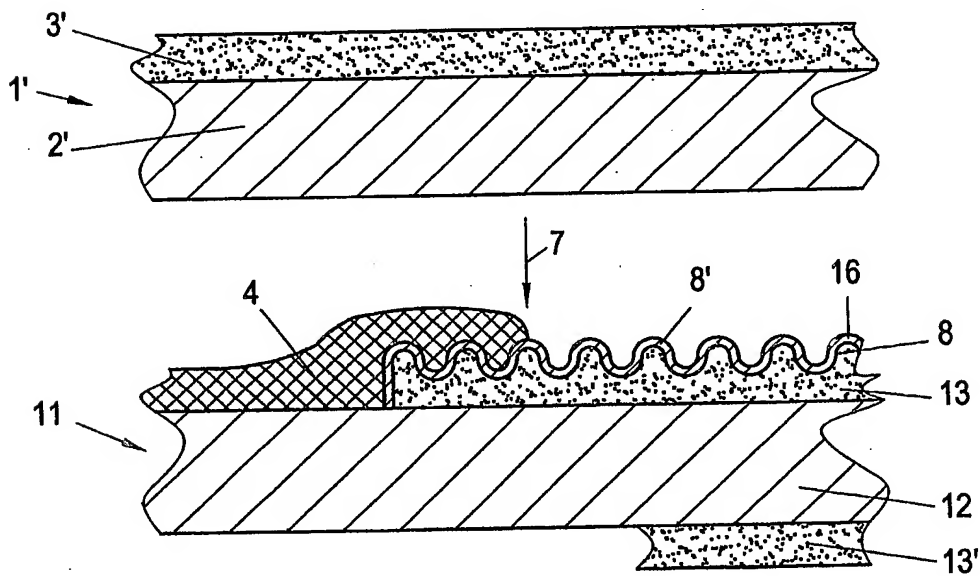


FIG. 4

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**